

Ćwiczenie 6

Przerzutniki bistabilne (Flip-Flop)

Cel

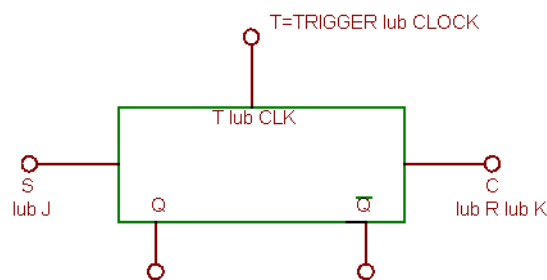
Poznanie zasady działania i charakterystycznych właściwości różnych typów przerzutników bistabilnych.

Wstęp teoretyczny.

Przerzutniki Flip-flop (FF), bistabilne lub Binarne są układami, które mają dwa stabilne stany wyjściowe. Jeżeli układ znajduje się w jednym ze stabilnych stanów i sygnał wejściowy zmieni go na przeciwny, to układ pozostanie w nim do przyjscia następnego impulsu wejściowego, który może go zmienić znowu na pierwszy stabilny stan.

STAN	Q	\bar{Q}
A	0	1
B	1	0

Tabela 7-1.



Rys, 7-1

Standardowy symbol przerzutnika FF jest pokazany na rysunku 7-1. W praktyce wyjścia przyjęto oznaczać literą Q i \bar{Q} , a poziomy logiczne „1” i „0”. Typowa tablica prawdy przedstawiona jest w tabeli 7-1. Stany wyjściowe przerzutnika FF mogą przybierać tylko dwie wartości dane jako A i B i opisane w tabeli. Tranzystorowe układy przerzutników FF pracują w konfiguracji o sprzężeniu stałoprądowym i jeżeli jeden z tranzystorów wyjściowych przewodzi, drugi jest przeciwnie spolaryzowany, w związku z czym jest zamknięty i nie może przewodzić. Ponieważ każdy z tranzystorów wyjściowych jest identyczny uzyskuje się całkowitą symetrię stanów „włączony/wyłączony” a w związku z tym pracę o dwóch stabilnych stanach. Do zmiany stanu na wyjściu wymagany jest zewnętrzny impuls przełączający. Jednym ze sposobów jest przyłożenie takiego sygnału do przewodzącego tranzystora, aby uczynić go nieprzewodzącym. Ten proces powoduje, że drugi tranzystor przechodzi do stanu przewodzenia (a często nawet do stanu nasycenia). Ponieważ sprzężenie jest stałoprądowe może się zdarzyć, że oba tranzystory przez pewien czas będą w stanie przewodzenia (jeden nie zdążył się wyłączyć (czas przeciągania impulsu) a drugi już jest włączony). Na szczęście ten stan trwa bardzo krótko i na wyjściu ustawia się właściwy stabilny poziom.

Scalone przerzutniki FF są modyfikacją podstawowych układów przerzutników tranzystorowych a jako, że pozbawione są opisanych wcześniej wad w praktyce całkowicie je wyparły. Opracowano wiele typów przerzutników bistabilnych, podstawowe z nich będą omówione w dalszej części.

Przerzutnik RS jest definiowany jako bistabilny przerzutnik z wejściami SET i RESET z zastrzeżeniem, że wejścia te nie mogą jednocześnie znajdować się w stanie aktywnym, ponieważ stan wyjściowy nie jest w tym przypadku jednoznacznie określony. Często w miejsce nazwy RESET używa się wymiennie nazwy CLEAR. Przerzutnik zbudowany z użyciem dwóch bramek NAND lub NOR często nazywany jest zatrząskiem (latch). Rysunek 7-2 przedstawia symbol graficzny przerzutnika R-S.



Rys, 7-2

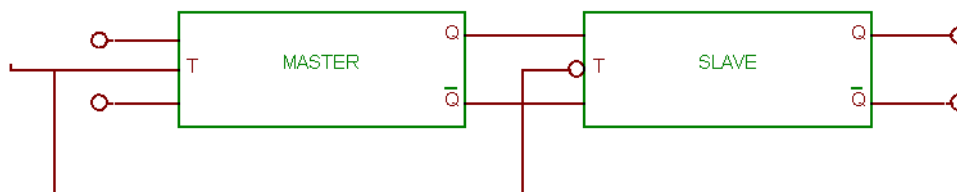
Bramkowany przerzutnik R-S realizuje takie same funkcje, co przerzutnik R-S z tym, że informacja przekazywana jest do niego tylko wtedy, gdy na wejściu bramkującym (GATED) pojawia się odpowiedni stan logiczny. Często zamiast nazwy GATED używa się zamiennie nazw STROBE, SYNCHRONOUS lub CLOCKED. Rysunek 7-1 także przedstawia symbol graficzny przerzutnika R-S.

D lub DATA FF zawiera jedno wejście informacyjne **D** oraz wejście zegarowe, Clock. Rysunek 7-3 przedstawia symbol graficzny przerzutnika typu D.



Rys, 7-3

Master-slave FF składa się z dwóch sprzężonych galwanicznie bramkowanych FF. Informacja podczas trwania jednego stanu sygnału zegarowego wpisywana jest do sekcji Master i przepisywana z niej do sekcji slave podczas trwania stanu przeciwnego w sygnale zegarowym. To rozwiązanie izoluje oddziela układy wejściowe od wyjściowych i pozwala uniknąć wielu problemów. Schemat blokowy przerzutnika R-S master-slave przedstawiono na rysunku 7-4. W tej notacji, informacja wpisywana jest do części master podczas wysokiego stanu impulsu zegarowego, a kółko przy części slave oznacza, że informacja do niej zostanie wpisana, gdy pojawi się niski stan w sygnale zegarowym. Gdy zegar przyjmuje wartość „0” żadna informacja nie może być wpisana do części master, ale w tym czasie następuje załadowanie informacji do części slave.



Rys, 7-4

Przerzutnik typu T zmienia stan po każdym impulsie zegarowym zgodnie z tabelą prawdy zamieszczoną w tablicy 7-2(a). Innym sposobem przedstawienia tablicy prawdy dla tego przerzutnika jest tabela 7-2(b). W tej notacji jeden stabilny stan przed wystąpieniem impulsu zegarowego t_n definiowany jest jako Q a po jego wystąpieniu w czasie t_{n+1} zmienia się na \bar{Q} . Ten rodzaj przerzutnika często używany jest w przerzutnikach master-slave do łączenia wyjść i wejść poszczególnych sekcji (łączenie S do Q i R do \bar{Q}). Rysunek 7-5 przedstawia symbol graficzny przerzutnika typu T.



Rys, 7-5

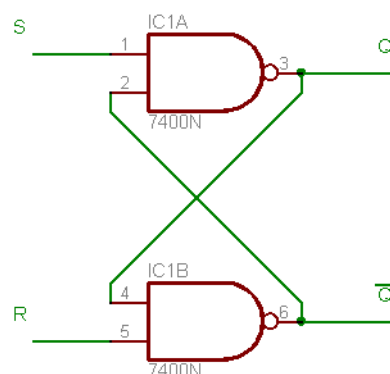
Przerzutnik J-K jest kombinacją przerzutnika R-S i T. Ma on dwa wejścia, J i K, które odpowiadają wejściom R S. Jak pamiętamy jednoczesne występowanie stanów aktywnych na wejściu przerzutnika R-S jest zabronione to w przerzutniku J-K na wejściach mogą pojawiać się takie stany. Tablica prawdy dla tego przerzutnika przedstawiona jest w tabeli 7-3.

t_n		T_{n+1}
J	K	Q
0	0	Q_n
1	0	1
0	1	0
1	1	\bar{Q}_n

Tabela 7-3

Przerzutnik R-S

Rozważmy schemat 7-6. Zdefiniujmy stan set jako $Q=1$ i $\bar{Q}=0$, stan reset jako $Q=0$ i $\bar{Q}=1$. Załóżmy, że przerzutnik jest w stanie set i $S=R=1$. Wobec tego w oznaczonych punktach mamy $a=1$, $b=0$, $d=1$, $e=1$.



Rys, 7-6

Te stany wyjściowe ustawiają wyjścia układu na $c=1$ i $f=0$. Jest to stabilny stan i nic się nie zmienia. Teraz załóżmy, że $S=0$ i $R=1$. w tym przypadku $a=b=0$ i ustawia c na 1. Wejścia

d i e są w stanie 1 co daje $f=0$, to również nie zmienia stanu wyjść. Załóżmy teraz, że $S=1$ i $R=0$. Jeżeli $R=0$ to wejście e również przyjmuje wartość 0 i wyjście f staje się 1 co pociąga za sobą a i $b=0$ co daje $c=1$. Otrzymujemy, więc dla $S=1$ i $R=0$ $Q=0$ i $Q=1$, a więc zresetowanie przerzutnika. Stan S i $R=0$ jest stanem niedozwolonym. Tablicę prawdy przestawia tabela 7-4.

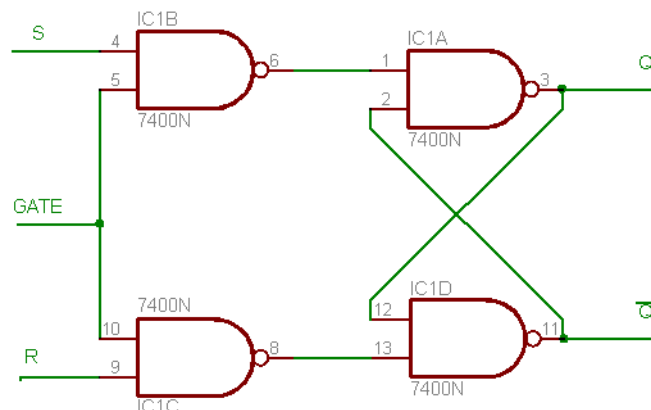
S	R	Q	\bar{Q}
1	1	Bez zmian	
0	1	1	0
1	0	0	1
0	0	niedozwolony	

Tabela 7-4

Możemy zbudować również przerzutnik R-S używając bramek typu NOR. W tym przypadku stanem zabronionym jest stan $R=S=1$.

Bramkowany FF

Na schemacie 7-7 bramki 3 i 4 tworzą prosty zatrząsk. Informacja jest bramkowana przez układy 1 i 2. Jeżeli impuls zegarowy jest w stanie niskim to na wyjściach bramek 1 i 2 mamy



Rys, 7-7

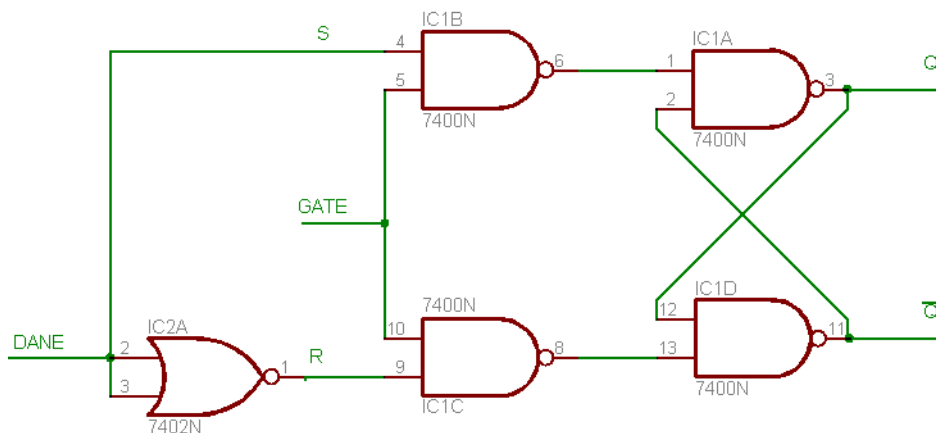
stan wysoki i stany na wyjściu przerzutnika R-S zbudowanego z bramek 3 i 4 nie mogą ulec zmianie. Tablicę prawdy przedstawia tabela 7-5.

clock	S	R	Q	\bar{Q}
1	1	0	1	0
1	0	1	0	1
0	0	1	Pozostaje bez zmian	
0	1	0		

Tabela 7-5

Przerzutnik typu D

Układ przedstawiony na rysunku 7-8 jest modyfikacją bramkowanego przerzutnika R-S i przedstawia przerzutnik typu D. Dane mogą mieć dwa stany 0 i 1. Inwerter uniemożliwia



Rys, 7-8

pojawienie się dwóch zer jednocześnie na wejściach bramek 1 i 2. Po pojawieniu się impulsu zegarowego dana z wejścia informacyjnego D jest przepisywana na wyjście układu przerzutnika.

Przerzutnik master-slave

Przerzutnik master-slave składa się z dwóch bramkowanych przerzutników FF. Kiedy zegar jest w stanie 1 informacja może być transferowana z wejść R, S do wyjścia segmentu master. Jednakże zegar przy wejściach bramek X i Y ma wtedy stan niski i informacja z części master nie może być przepisana do części slave. Gdy zegar przyjmie stan niski informacja może być wpisana do slave. Tablica prawdy przedstawiona jest w tabeli 7-6.

Przerzutnik typu T zbudowany z przerzutnika master-slave

Przerzutnik typu T powstaje przez połączenie wejścia S z wyjściem Q i wejścia R z wyjściem Q. Tabelę prawdy zamieszczono w poprzedniej części. Reasumując kolejne impulsy zegara powodują zmiany stanu na wyjściach.

Przerzutnik J-K

Przerzutnik J-K jest modyfikacją przerzutnika typu T, Modyfikacja polega na zastosowaniu bramek trójwejściowych. Powstałe w ten sposób dodatkowe wejścia oznaczono jako J-K. Jeżeli K i J są równe 1 przerzutnik ten zachowuje się tak jak przerzutnik typu T

Załóżmy teraz, że $J=1$ i $K=0$. Jeżeli $Q=1$ i $Q=0$ i zegar osiąga 1, więc wszystkie trzy wejścia układu W są w stanie wysokim. W związku z tym na jego wyjściu ustala się stan 0. Na wyjściu bramki V mamy również 1. Kontynuując rozważania dochodzimy do tego, że w punkcie $a=1$ i $b=0$. Gdy zegar spada do 0 informacja z a i b jest wpisywana do slave i na wyjściu ustala się odpowiednio $Q=1$ i $Q=0$

Analogicznie niech $J=1$ i $K=0$. Przypuśćmy, że $Q=1$ i $Q=0$. Aby zaistniała sytuacja $Q=1$ musi być $a=1$ i $b=0$. Na wejściu W mamy $J=1$, $Q=0$, $clock=1$ tak, więc na wyjściu W mamy 1, podobnie zresztą na wyjściu $V=1$. W związku z tym stan na wyjściu mastera nie ulega zmianie a to powoduje, że wyjście przerzutnika również się nie modyfikuje. Podobną

analizę można przeprowadzić dla przypadku gdy $J=0$ i $K=1$. Tablica prawdy dla przerzutnika JK master-slave przedstawiona jest w tabeli 7-7. Wynika z niej, że JK master-slave dla

t_n przed wystąpieniem impulsu		t_{n+1} po wystąpieniu impulsu	
J	K	Q	\bar{Q}
1	0	1	0
0	1	0	1
1	1	\bar{Q}	Q
0	0	Q	\bar{Q}

Tabela 7-7.

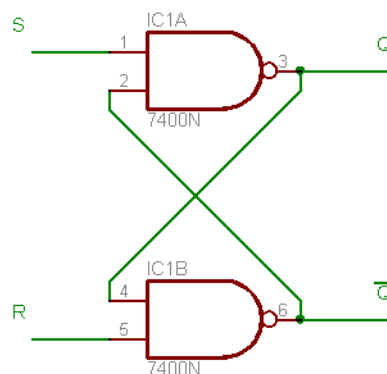
przypadku $J=1$ i $K=1$ działa jak przerzutnik typu T.

W tabeli 7-7 t_n oznacza stan przed zboczem zegarowym, t_{n+1} oznacza stan po tym impulsie.

Przebieg ćwiczenia.

We wszystkich częściach ćwiczenia do pomiaru napięcia we wskazanych punktach należy użyć oscyloskopu ustawionego na zakres 1V/div. Wszystkie dane powinny być wpisane do odpowiednich kolumn. Wskazane jest, aby stany na wyjściach FF były mierzone jednocześnie przy użyciu oscyloskopu dwukanałowego

1. Przerzutnik R-S zbudowany przy użyciu bramek NAND.



Rys, 7-11

	S	R	Q	\bar{Q}
1	+5V	0		
2	+5V	+5V		
3	0	+5V		
4	+5V	+5V		
5	0	0		
6 ^a	+5V	+5V		
7	0	0		
8 ^b	+5V	+5V		

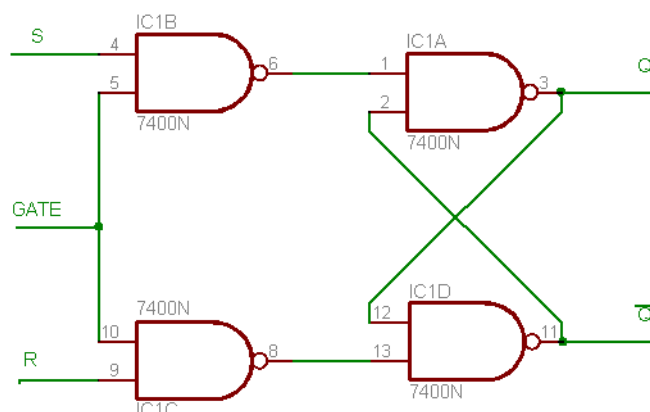
Tabela 7-1.

a) Postaraj się włączać włączniki R i S prawie jednocześnie, ale tak, aby S był nieznacznie szybszy.

b) Teraz odwróć sytuację.

2.

a) Bramkowany przerzutnik R-S zbudowany przy użyciu bramek NAND.



Rys, 7-12

	GATE	S	R	Q	\bar{Q}
1	+5V	0	+5V		
2	+5V	+5V	0		
3	+5V	0	+5V		
4	+5V	+5V	0		
5	0	0	0		
6	0	0	+5V		
7	0	0	0		
8	0	+5V	+5V		
9	0	0	+5V		

Tabela 7-2.

b) Bramkowany przerzutnik R-S zbudowany przy użyciu bramek NAND.

W układzie z rysunku 7-12 odłącz pin 5 i 10 od włącznika i podłącz te piny do generatora pojedynczych impulsów

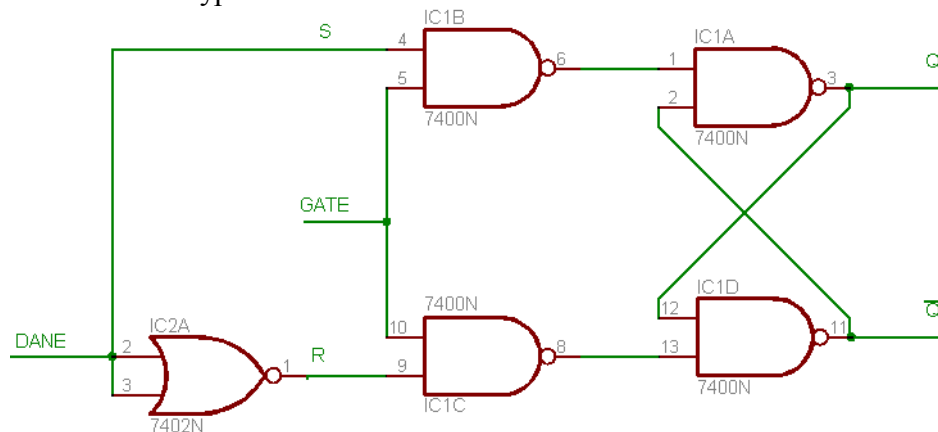
Dla poszczególnych stanów S i R wpisz wartości Q i \bar{Q} . Teraz wysyłaj pojedyncze impulsy zegarowe i znowu wypełnij odpowiednie kolumny tabeli 7-3E.

			przed impulsem		po impulsie	
	S	R	Q	\bar{Q}	Q	\bar{Q}
1 ^a	+5V	0	-	-		
2	0	+5V				
3	+5V	0				
4	0	+5V				
5	0	0				
6	+5V	0				
7	0	+5V			Bez impulsów	
8	+5V	0				
9	0	+5V				
10	+5V	0				
11	0	+5V				

Tabela 7-3.

a-ta konfiguracja ustala stan wyjść.

3.Przerzutnik typu D



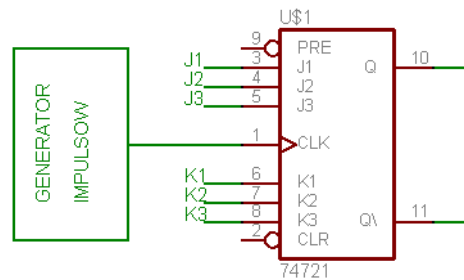
Rys, 7-13

Postępuj podobnie jak w części 2(b) i wypełnij tabelę 7-4E.

			przed impulsem		po impulsie	
	S	Q	\bar{Q}	Q	\bar{Q}	Q
1 ^a	+5V	0				
2	0	+5V				
3	+5V	0				
4	0	+5V				
5	0	0				
6	+5V	0				
7	0	+5V			Bez impulsów	
8	+5V	0				
9	0	+5V				
10	+5V	0				
11	0	+5V				

Tabela 7-4

4. Przerzutnik J-K bramkowany przez układ AND



Rys, 7-14

a- resetuje przerzutnik

a) W tabeli 7-5E t_n oznacza stan przed zboczem zegarowym, t_{n+1} oznacza stan po tym impulsie.

	J_1	J_1	J_1	K_1	K_1	K_1	t_n przed impulsem		T_{n+1} po impulsie	
							Q	\bar{Q}	Q	\bar{Q}
a	0	0	0							
1	0	0	0	0	0	0				
2	+5V	0	0	0	0	0				
3	+5V	+5V	0	0	0	0				
4	+5V	+5V	+5V	0	0	0				
5	0	0	0	+5V	0	0				
6	0	0	0	+5V	+5V	0				
7	0	0	0	+5V	+5V	+5V				
8	+5V	+5V	0	+5V	+5V	0				
9	+5V	+5V	+5V	+5V	+5V	0				
10	+5V	+5V	0	+5V	+5V	0				
11	+5V	+5V	0	+5V	+5V	+5V				
12	+5V	+5V	+5V	+5V	+5V	+5V				
13	+5V	+5V	+5V	+5V	+5V	+5V				
14	+5V	+5V	+5V	+5V	+5V	+5V				

Tabela 7-5.

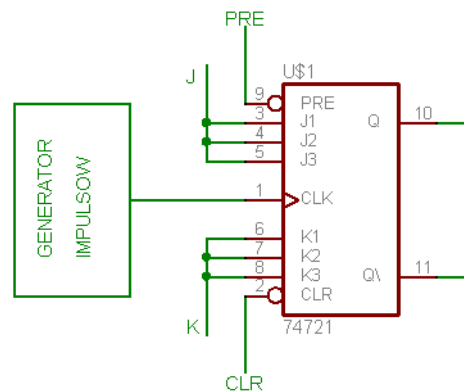
- b)Przełącz generator na opcję generacji fali prostokątnej. Ustaw oscyloskop na:
- automatyczne wyzwalanie
 - wyzwalanie zboczem opadającym
 - wyzwalanie wewnętrzne

Podłącz do jednego kanału oscyloskopu wyjście generatora a do drugiego wyjście Q a potem Q̄. Przerysuj odpowiednie przebiegi dla różnych kombinacji stanów J i K.

SWG													
Q J=+5V K=+5V													
\overline{Q} J=+5V K=+5V													
Q J=+5V K=0													
\overline{Q} J=+5V K=0													
Q J=0 K=+5V													
\overline{Q} J=0 K=+5V													

Rys, 7-15

c) Badanie modu asynchronicznego -wejścia PRESET i CLEAR rys 7-16.
Wejście PR używane jest do ustawiania wyjścia Q w stan 1, a wejście CLR do ustawiania 0 na wyjściu Q.



Rys, 7-16

	J	K	PR	CLR	Q	Q'
1	+5V	+5V	+5V	+5V		
2	+5V	+5V	0	+5V		
3	+5V	0	0	+5V		
4	0	+5V	0	+5V		
5	0	0	0	+5V		
6	+5V	+5V	+5V	0		
7	+5V	0	+5V	0		
8	0	+5V	0	+5V		
9	0	0	0	+5V		
10	+5V	+5V	0	0		
11	+5V	0	0	0		
12	0	+5V	0	0		
13	0	0	0	0		

Tabela 7-6.

Opracowanie wyników

1. Wyjaśnij zasadę działania układu z rysunku 7-11
 2. Wyjaśnij, dlaczego dla układu z rysunku 7-11 stan S=1 i R=1 jest stanem dopuszczalnym a stan S=0 i R=0 jest niedozwolony.
 3. W oparciu o wyniki zamieszczone w tabeli 7-1E w wierszach 6 i 8 wyjaśnij, co determinuje ustalanie się stanów na wyjściu układu 7-11.
 4. Wyjaśnij, dlaczego wyniki w wierszach 1,2,3 i 4 z tabeli 7-2E różnią się od wyników z wierszy 5,6,7,8,9.
1. W systemach komputerowych często do przechowywania tymczasowych danych używa się przerzutników typu zatrask. Na podstawie danych z tabeli 7-2E wyjaśnij,

- który stan na wejściu bramkującym powoduje wpisanie informacji do przerzutnika a jaki powoduje odizolowanie go od reszty układu.
2. Na podstawie danych z tabeli 7-3E wyjaśnij, co powoduje pojawienie się na wejściu bramkującym pojedynczego impulsu zegarowego.
 3. Bramkowany przerzutnik R-S z części 2 zawiera cztery dwuwejściowe bramki. Rysunek 7-17 przedstawia próbę realizacji takiego przerzutnika z użyciem dwóch trójwejściowych bramek. Jednakże układ ten nie działa poprawnie. Dlaczego? Rozważ wszystkie możliwe stany R, S i zegara.
 4. Tabela 7-7D przedstawia standardową technikę wyrażania tabeli prawdy dla układu 7472.
 - a) Porównaj tę tabelę z wynikami zamieszczonymi w tabeli 7-5E i otrzymanymi w części 4(B) i wyjaśnij, w jakich przypadkach wejścia J i K mają ten sam sens?
 - b) Aby uzyskać stan 1 w kolumnie Q potrzeba, aby J_1, J_2 i $J_3=1$. Aby $Q=0$ K_1, K_2 i $K_3=1$ w jaki sposób ta informacja zawarta jest w tej tabeli?
 - c) Co oznacza gwiazdka umieszczona przy literach H w trzecim wierszu w kolumnie „OUTPUTS”
 - d) Co oznaczają symbole Q_0 i Q_0 z czwartego wiersza?
 5. Jaka jest częstotliwość przebiegu na wyjściu Q układu z części 4(b) dla stanów $J=1$ i $K=1$?
 6. Jaka będzie częstotliwość przebiegu na wyjściu Q układu z rysunku 7-18?
 7. Na rysunku przedstawiającym układ scalony 7472 kółka oznaczają inwersję sygnału zegarowego. W tym przypadku informacja wpisywana jest do części slave, kiedy zegar osiąga poziom logicznego zera. Wejścia PR i CLR zawierają również takie kółka. Co to oznacza? Spójrz na tabelę 7-6E.